در مسائل زیر از داده‌های جدول ۲ـ۱ استفاده کنید مگر آنکه گفته شود و هرجا لازم است فرض کنید که $V_{DD} = 3V$ است. ابعاد همهٔ ترانزیستورها مقادیر مؤثر آن است و برحسب میکرون بیان می‌شود.

۱ـ۵ در شکل ۵ـ۲، فرض کنید که $[W/L]_1 = 50/0.5$ ، $\lambda = 0$ و $I_{out} = 0.5mA$ و M_1 در ناحیهٔ اشباع است.
(الف) نسبت R_2/R_1 را تعیین کنید.
(ب) حساسیت I_{out} به V_{DD} را حساب کنید که بصورت $\partial I_{out} / \partial V_{DD}$ تعریف می‌شود و نسبت به I_{out} نرمال شده است.
(ج) اگر V_{TH} به اندازهٔ $50mV$ تغییر کند، I_{out} چقدر تغییر می‌کند؟
(د) اگر وابستگی μ_n به دما بصورت $\mu_n \propto T^{-3/2}$ تعریف شود، I_{out} چگونه تغییر می‌کند اگر T از $300^\circ K$ به $370^\circ K$ برسد؟
(ح) بدترین حالت تغییر I_{out} اگر V_{DD} به اندازهٔ ۱۰٪، V_{TH} به اندازهٔ $50mV$ و T از $300^\circ K$ به $370^\circ K$ برسد چقدر است؟

۲ـ۵ مدار شکل ۵ـ۶ را در نظر بگیرید فرض کنید که I_{REF} ایده‌آل باشد، I_{out} را برحسب V_{DD} که از ۰ تا $3V$ تغییر می‌کند، رسم کنید؟

۳ـ۵ در مدار شکل ۵ـ۷، $[W/L]_N = 10/0.5$، $[W/L]_P = 10/0.5$ و $I_{REF} = 100\mu A$ و سطح CM ورودی اعمال شده به گیت‌های M_1 و M_2 برابر با $1.3V$ است.
(الف) با فرض $\lambda = 0$، V_p و ولتاژ درین ترانزیستور PMOS که بصورت دیود وصل شده است را حساب کنید.
(ب) حال اثر مدولاسیون طول کانال را برای تعیین دقیق I_T و جریان درین ترانزیستورهای دیودی PMOS به حساب آورید.

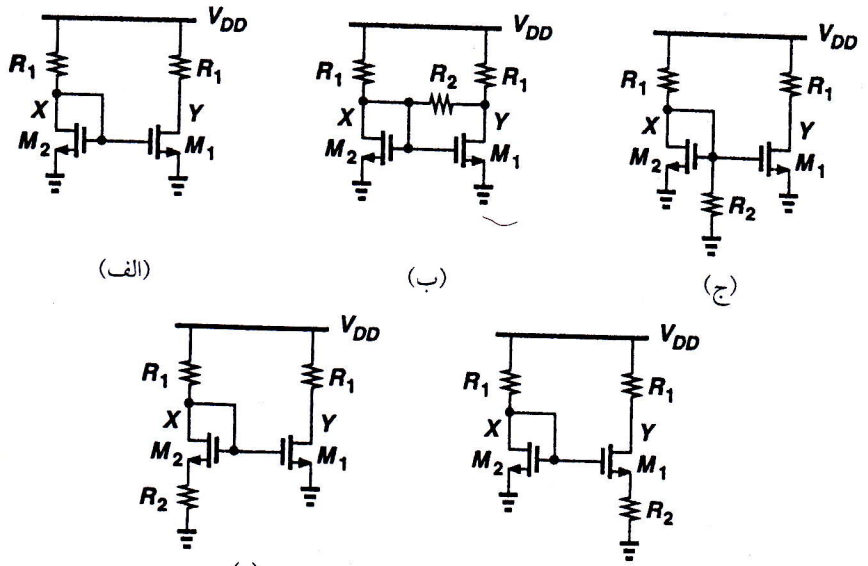
۴ـ۵ مدار شکل ۵ـ۸ را در نظر بگیرید. V_{out} را برحسب V_{DD} که از ۰ تا $3V$ تغییر می‌کند رسم کنید.

۵ـ۵ مدار شکل ۵ـ۹(الف) را در نظر بگیرید و فرض کنید که $[W/L]_{1-3} = 40/0.5$ ، $I_{REF} = 0.3\mu A$ باشد.
(الف) V_b را تعیین کنید بطوریکه $V_x = V_y$.
(ب) اگر V_b از مقدار حساب شده در قسمت (الف) به اندازه ($100mV$) انحراف یابد، میزان عدم تطابق بین I_{out} و I_{REF} چقدر است؟
(ج) اگر مداری که با منبع جریان cascode تغذیه شده، V_p را به اندازهٔ $1V$ تغییر دهد، V_y چگونه عوض می‌شود؟

۶ـ۵ مدار شکل ۵ـ۱۳ با $\left[\frac{W}{L}\right]_{1,2} = \frac{20}{0.5}$، $\left[\frac{W}{L}\right]_{3,4} = \frac{60}{0.5}$ و $I_{REF} = 100\mu A$ طراحی شده است.
(الف) V_x و گسترهٔ قابل قبول V_b را تعیین کنید.
(ب) انحراف I_{out} از $300\mu A$ را وقتی که ولتاژ درین M_4 به اندازهٔ $1V$ از V_x بالاتر است، حساب کنید.

۷ـ۵ مدار شکل ۵ـ۱۷ با $[W/L]_{1,4} = 50/0.5$ و $I_{ss} = 2I_1 = 0.5mA$ طرح شده است.
(الف) بهرهٔ ولتاژ سیگنال کوچک را حساب کنید.
(ب) سوینگ ولتاژ ماکزیمم خروجی را اگر سطح CM برابر با $1.3V$ باشد حساب کنید.

۸ـ۵ مدار شکل ۵ـ۲۲(الف) را با $[W/L]_{1-5} = 50/0.5$ و $I_{DS} = 0.5mA$ را در نظر بگیرید.

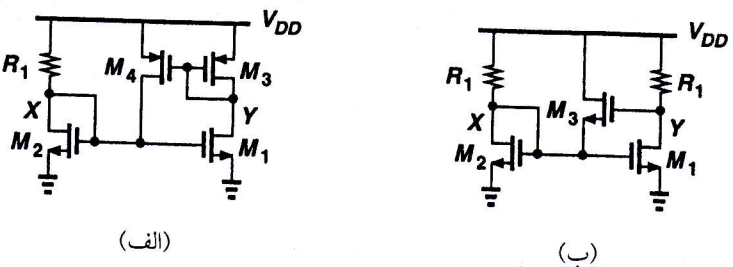


شکل ۵ـ۳۳

(الف) انحراف V_{out} از V_F را وقتی که $|V_{TH}|$ به اندازهٔ $1mV$ از $|V_{TH4}|$ کمتر باشد، حساب کنید.
(ب) CMRR تقویت‌کننده را تعیین کنید.

۹ـ V_x و V_y را به عنوان تابعی از V_{DD} برای هر مدار شکل ۵ـ۳۳ رسم کنید فرض کنید که ترانزیستورها در هر مدار مساوی هستند.

۱۰ـ V_x و V_y را به عنوان تابعی از V_{DD} برای هریک از مدارهای شکل ۵ـ۳۴ رسم کنید. فرض کنید که ترانزیستورها در هر مدار مساوی باشند.



شکل ۵ـ۳۴

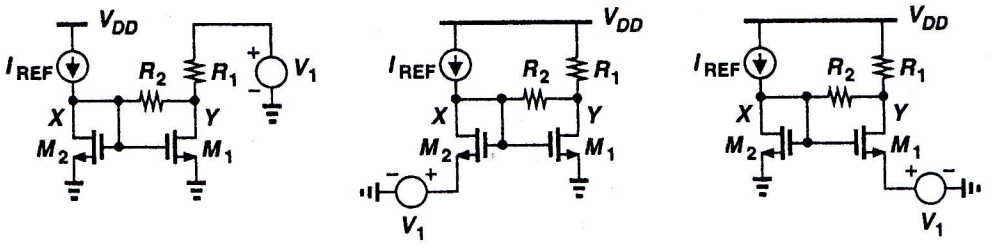
۱۱ـ برای هریک از مدارهای شکل ۵ـ۳۵، V_x و V_y را به عنوان تابعی از V_1 برای $0 < V_1 < V_{DD}$ رسم کنید. فرض کنید که ترانزیستورهای هر مدار یکسان باشند.

۱۲ـ برای هریک از مدارهای شکل ۵ـ۳۶، V_x و V_y را به عنوان تابعی از V_1 که $0 < V_1 < V_{DD}$ است، رسم کنید، فرض کنید که ترانزیستورها در هر مدار مساوی هستند.

۱۳ـ برای هر مدار شکل ۵ـ۳۷، V_x و V_y را به عنوان تابعی از I_{REF} رسم کنید.

۱۴ـ برای هر مدار شکل ۵ـ۳۸، I_{out}، V_x، V_A و V_B را به عنوان تابعی از (الف)I_{REF} (ب)V_b رسم کنید.

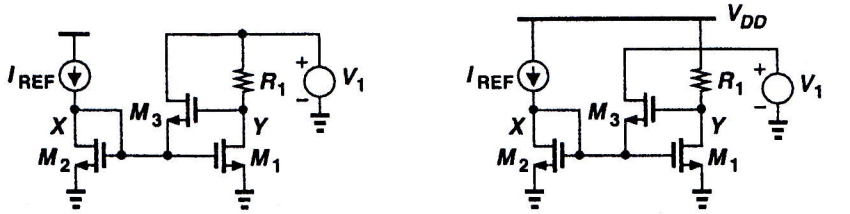
۱۵ـ در مدار شکل ۵ـ۳۹ یک سورس فالور با ترانزیستور پهن و جریان بایاس کم بطور سری با گیت M_4 قرار دارد



(الف) (ب) (ج)

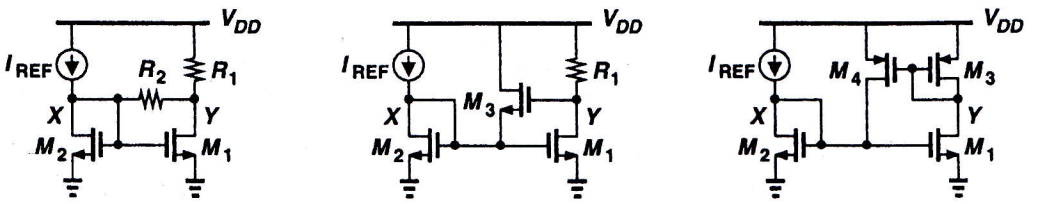
شکل ۵ـ۳۵

بطوریکه $M_۴$ در لبهٔ اشباع باشد. با این فرض که $M_۴$ - $M_۰$ یکسان هستند و $\lambda \neq ۰$ است، عدم تطابق I_{out} و I_{REF} را حساب کنید اگر (الف) $\gamma = ۰$ و (ب) $\gamma \neq ۰$.



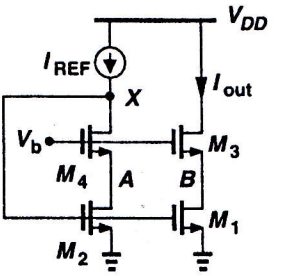
(الف) (ب)

شکل ۵ـ۳۶



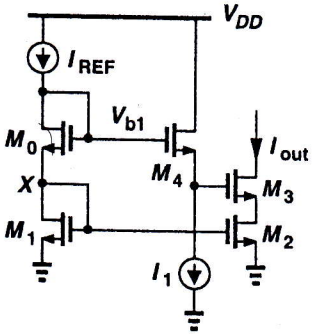
(الف) (ب) (ج)

شکل ۵ـ۳۷

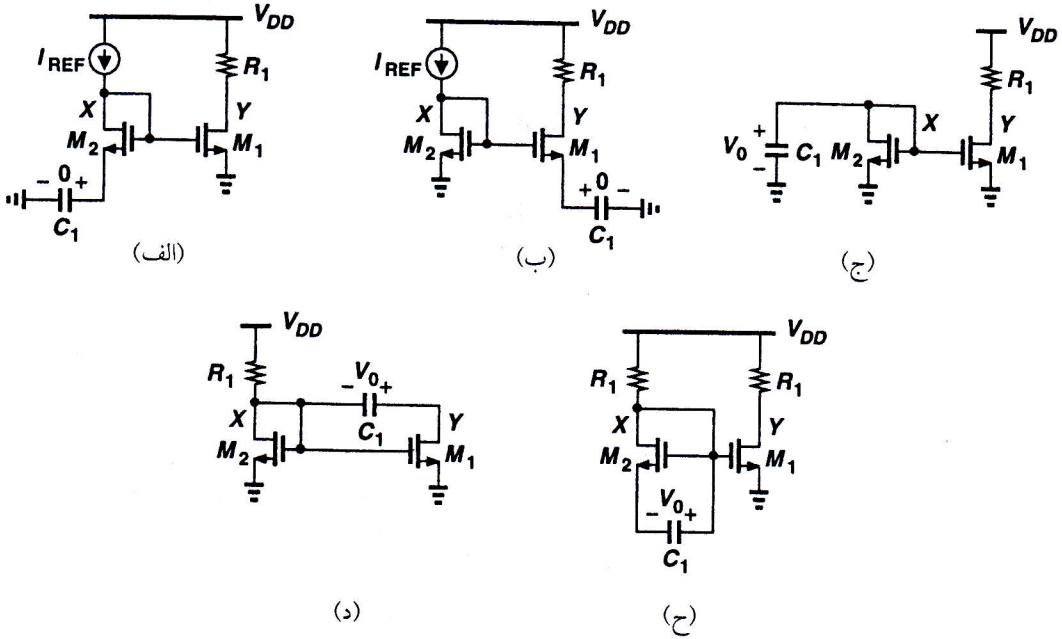


شکل ۵ـ۳۸

۱۶ـ۵ V_x و V_y را برحسب زمان برای هر مدار شکل ۵ـ۴۰ رسم کنید. فرض کنید که ترانزیستورها در هر مدار یکسان باشند.

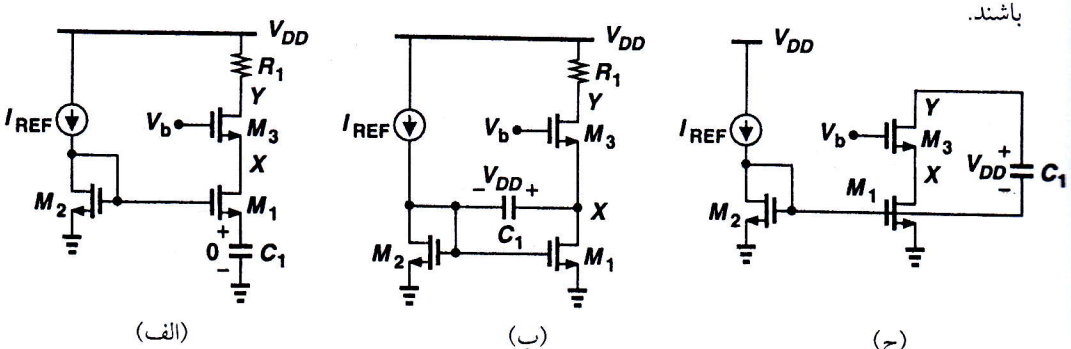


شکل ۵ـ۳۹

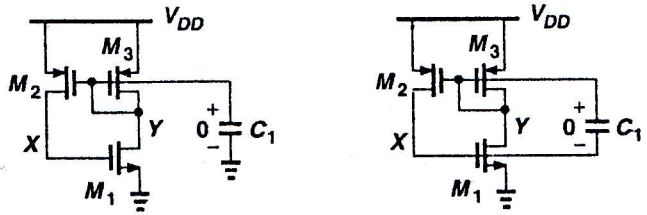


شکل ۵ـ۴۰

۱۷ـ۵ V_x و V_y را برحسب زمان برای هر مدار شکل ۵ـ۴۱ رسم کنید. فرض کنید که ترانزیستورهای هر مدار یکسان باشند.



شکل ۵ـ۴۱

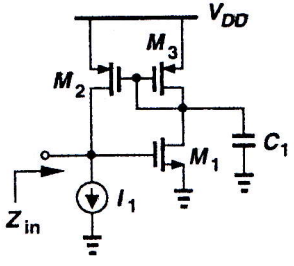


(الف) (ب)

شکل ۵ـ۴۲

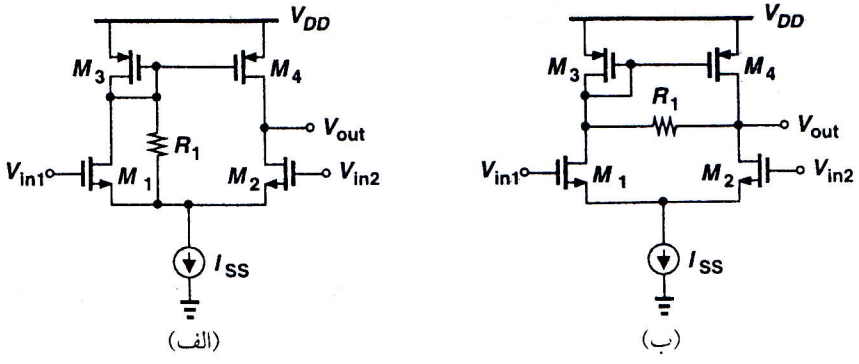
۱۸ـ۵ V_x و V_y را برحسب زمان برای هر مدار شکل ۵ـ۴۲ رسم کنید. فرض کنید ترانزیستورها در هر مدار یکسان باشند.

۱۹ـ۵ مدار شکل ۵ـ۴۳ یک خازن ورودی منفی نشان می‌دهد. امپدانس ورودی مدار را حساب کنید و مؤلفه خازنی را مشخص کنید.



شکل ۵ـ۴۳

۲۰ـ۵ به دلیل اشکالات ساخت، مقاومت مزاحم بزرگی، R_1 در مدار شکل ۵ـ۴۴ به وجود آمده است. بهرهٔ هر مدار را حساب کنید.



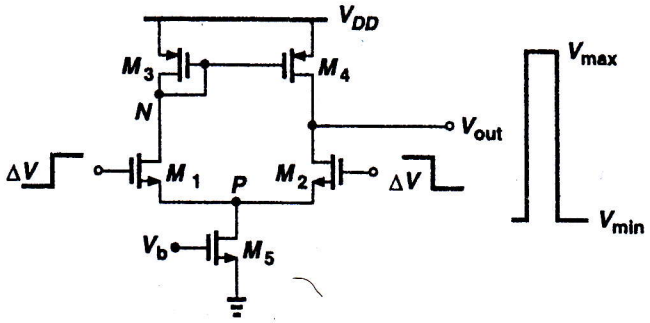
(الف) (ب)

شکل ۵ـ۴۴

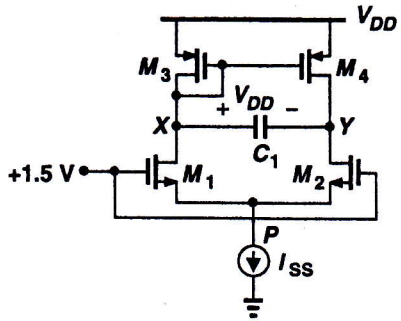
۲۱ـ۵ در مدارهای دیجیتال مثل حافظه‌ها، زوج دیفرانسیلی با آیینهٔ جریان فعال برای تبدیل سیگنال کوچک دیفرانسیلی به سوینگ بزرگ تک پایانه‌ای، بکار می‌رود. در چنین کاربردهایی، مطلوب است که سطوح خروجی تا آنجا که ممکن است به خطوط تغذیه نزدیک باشند. با فرض سوینگ متوسط دیفرانسیل در ورودی (برای مثال $\Delta V = ۰/۱V$) حول سطح مُد مشترک $V_{in,CM}$ و بهرهٔ بزرگ در مدار، توضیح دهید که چرا V_{min} به $V_{in,CM}$ بستگی دارد.

۲۲ـ۵ V_x و V_y برای هر مدار شکل ۵ـ۴۶ را برحسب زمان بدست آورید. ولتاژ اولیهٔ روی C_1 نشان داده شده است.

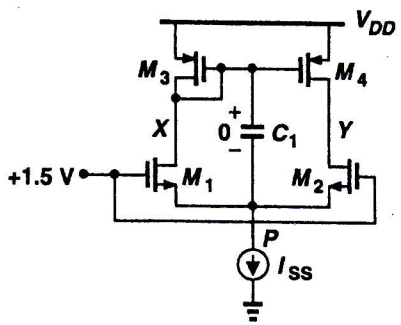
۲۳ـ۵ اگر در شکل ۵ـ۴۷، ΔV به اندازهٔ کافی کوچک باشد که همهٔ ترانزیستورها در اشباع باقی بمانند، ثابت زمانی و مقادیر اولیه و نهایی V_{out} را تعیین کنید.



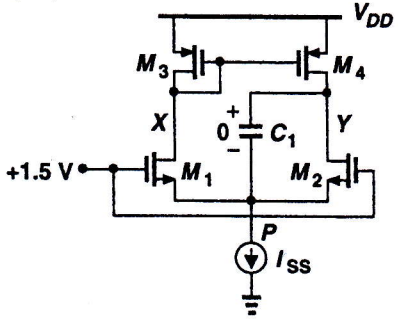
شکل ۵ـ۴۵



(الف)

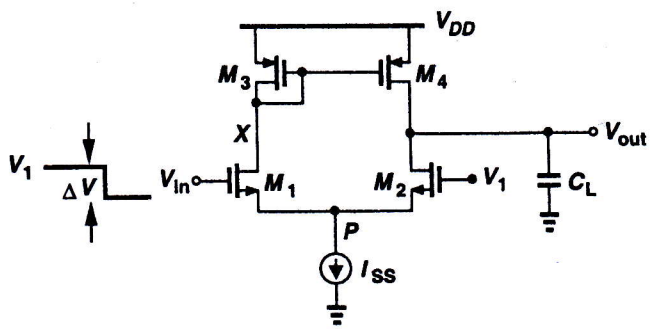


(ب)



(ج)

شکل ۵ـ۴۶



شکل ۵ـ۴۷