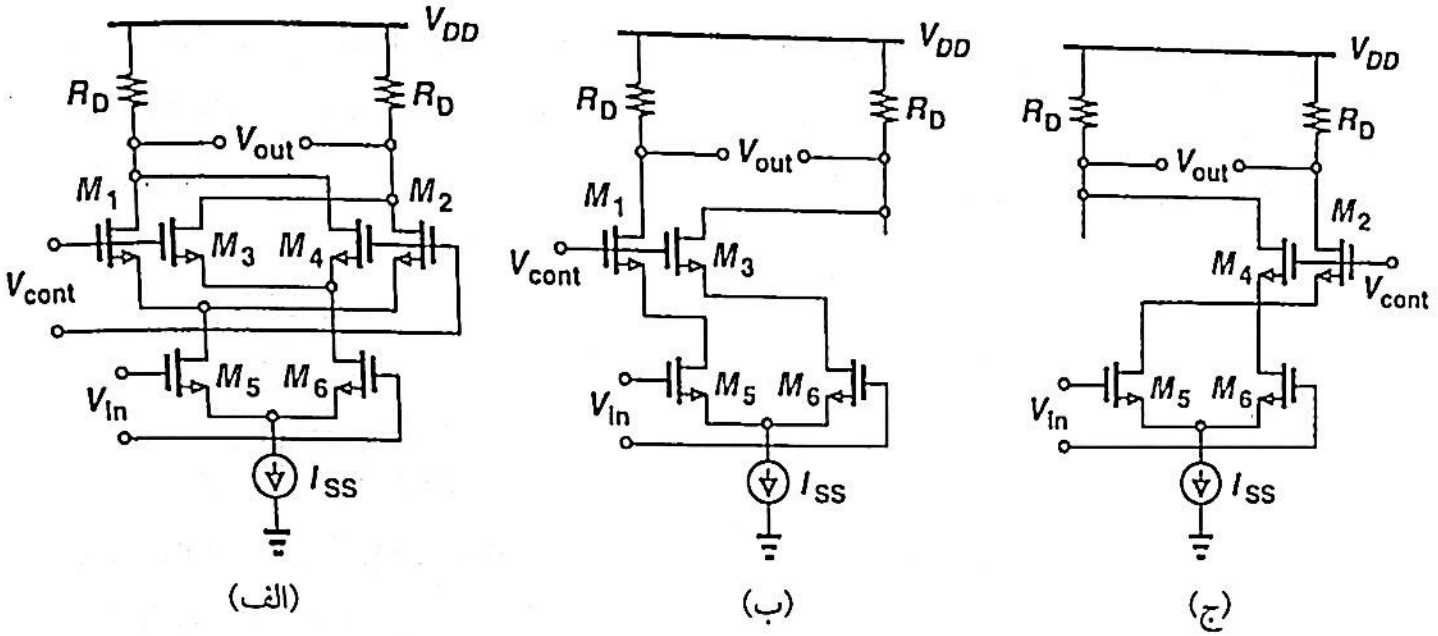


شکل ۴ـ۳۷ (الف) سلول گیلبرت که ولتاژ ورودی را از خروج دیفرانسیل پائینی دریافت می‌کند، (ب) مسیر سیگنال برای V_{cont} مثبت و(ج) مسیر سیگنال برای V_{cont} منفی.

CSET
WWW.SabzElco.IR

مسائل

در مسائل زیر از داده‌های نشان داده شده در جدول ۲ ـ ۱ استفاده کنید مگر آنکه گفته شود و هرجاکه لازم است فرض کنید $V_{DD} = ۳V$. ابعاد همهٔ ترانزیستورها، مقادیر مؤثر هستند و برحسب میکرون بیان می‌شوند.

۱ـ۴ فرض کنید که کل خازن بین خطوط مجاور در شکل ۴ـ۲ برابر با $۱۰fF$ و خازن بین درین‌های $M_۱$ و $M_۲$ تا زمین $۱۰۰fF$ باشند.

(الف) دامنهٔ جهش‌های (glitch) خروجی آنالوگ در شکل ۴ـ۲(الف) برای یک پالس کلاک با سوینگ $۳V$ چقدر است؟

(ب) اگر در شکل ۴ـ۲(ب)، خازن بین $L_۱$ و $L_۲$ ۱۰٪ کمتر از خازنهای بین $L_۱$ و $L_۳$ باشد، دامنهٔ جهشهای خروجی دیفرانسیل آنالوگ برای یک کلاک با سوئینگ $۳V$ چقدر است؟

۲ـ۴ بهرهٔ سیگنال کوچک دیفرانسیل مدار نشان داده شده در شکل [۴ـ۸(الف)] را وقتی که V_{DD} از ۰ تا $۳V$ تغییر می‌کند رسم کنید. فرض کنید که، $(W/L)_{۱-۳} = ۵۰/۰/۵$، $V_{inCM} = ۱/۳V$ و $V_b = ۱V$ باشد.

۳ـ۴ منحنی‌های شکل ۴ـ۸(ج) را برای یک زوج دیفرانسیل باترانزیستورهای PMOS رسم کنید.

۴ـ۴ در مدار شکل ۴ـ۱۰، $(W/L)_{۱/۲} = ۵۰/۰/۵$ و $I_{ss} = ۰/۵mA$ است.

(الف) حداکثر سوینگ ولتاژ مجاز در خروجی اگر $V_{in,CM} = ۱/۲V$ باشد چقدر است؟

(ب) بهرهٔ ولتاژ تحت این شرایط چقدر است؟

۵ـ۴ یک زوج دیفرانسیلی از ترانزیستورهای NMOS ورودی با $W/L = ۵۰/۰/۵$ و جریان دنبالهٔ $۱mA$ استفاده می‌کند.

(الف) ولتاژ مؤثر تعادل برای هر ترانزیستور چقدر است؟

(ب) اگر $V_{in۱} - V_{in۲} = ۵۰mV$ باشد، چگونه جریان دنباله بین دو طرف تقسیم می‌شود؟

(ج) G_m معادل تحت این شرایط چقدر است؟

(د) برای چه مقداری از $V_{in۱} - V_{in۲}$، مقدار GM ۱۰٪ افت می‌کند؟ برای ۹۰٪ چطور؟

۶ـ۴ مسألهٔ ۴ـ۵ را برای $W/L = ۲۵/۰/۵$ تکرار کنید و نتایج را مقایسه کنید.

۷ـ۴ مسأله ۵ـ۴ را با جریان دنبالهٔ $2mA$ تکرار کنید و نتایج را مقایسه کنید.

۸ـ۴ I_{D1} و I_{D2} را در شکل ۴ـ۱۷ برحسب $V_{in1} - V_{in2}$ رسم کنید. برای چه مقداری از $V_{in1} - V_{in2}$ دو جریان برابر هستند؟

۹ـ۴ مدار شکل ۴ـ۲۸ را با فرض اینکه $(W/L)_{1/2} = 50/0.5$ و $R_D = 2K\Omega$ باشد در نظر بگیرید. فرض کنید که R_{ss} نمایانگر امپدانس خروجی یک منبع جریان NMOS با $(W/L)_{ss} = 50/0.5$ و جریان درین $1mA$ باشد. سیگنال ورودی شامل $V_{in,DM} = 10mV_{pp}$ و $V_{in,CM} = 1.5V + V_n(t)$ است که $V_n(t)$ نمایانگر دامنهٔ نویز با سر به سر $100mV$ است. فرض کنید که $\Delta R = 0.5\% R$ باشد.

(الف) نسبت سیگنال به نویز دیفرانسیل خروجی را حساب کنید که به صورت دامنهٔ سیگنال تقسیم بر دامنهٔ نویز تعریف می‌شود.

(ب) CMRR را حساب کنید.

۱۰ـ۴ مسألهٔ ۴ـ۹ را اگر $\Delta R = 0$، ولی تفاوت ولتاژ آستانهٔ M_1 و M_2 $1mV$ باشد، تکرار کنید.

۱۱ـ۴ فرض کنید که زوج دیفرانسیل شکل ۴ـ۳۲(الف) با $(W/L)_{1/2}=50/0.5$، $(W/L)_{3/4}=10/0.5$ و $I_{ss}=0.5mA$ طراحی شده است. همچنین I_{ss} بایک ترانزیستور NMOS که $(W/L)_{ss}=50/0.5$ است، ساخته شده است.

(الف) اگر سوینگ‌های دیفرانسیل در ورودی و خروجی کوچک باشند، کمترین و بیشترین سطوح CM مجاز در ورودی کدامند.

(ب) برای $V_{in,CM} = 1.2V$ باشد، بهرهٔ ولتاژ دیفرانسیل سیگنال کوچک را وقتی که V_{DD} از ۰ به $3V$ افزایش می‌یابد، رسم کنید.

۱۲ـ۴ در مسألهٔ ۴ـ۱۱، فرض کنید که عدم تطابق بین ولتاژ آستانهٔ M_1 و M_2 برابر با $1mV$ باشد. CMRR چقدر است؟

۱۳ـ۴ در مسألهٔ ۴ـ۱۱، فرض کنید که $W_3 = 10\mu_m$ ولی $W_4 = 11\mu_m$ باشد. CMRR را حساب کنید؟

۱۴ـ۴ برای زوجهای دیفرانسیلی شکل ۴ـ۳۲(الف) و (ب)، بهرهٔ ولتاژ دیفرانسیل را اگر $I_{ss} = 1mA$

$$\left[\frac{W}{L}\right]_{3/4} = \frac{50}{1} \text{ و } \left[\frac{W}{L}\right]_{1/2} = \frac{50}{0.5}$$

باشد حساب کنید. اگر I_{ss} به حداقل $0.4V$ روی آن نیاز داشته باشد، حداقل سطح CM مجاز در ورودی چیست؟ با استفاده از مقدار $V_{in,CM}$، سونیگ خروجی حداکثر را درهر حالت حساب کنید؟

۱۵ـ۴ در مدار شکل ۴ـ۳۳، فرض کنید که برای همهٔ ترانزیستورها، $W/L = 50/0.5$ است و $I_{ss} = 1mA$

(الف) بهرهٔ ولتاژ را حساب کنید.

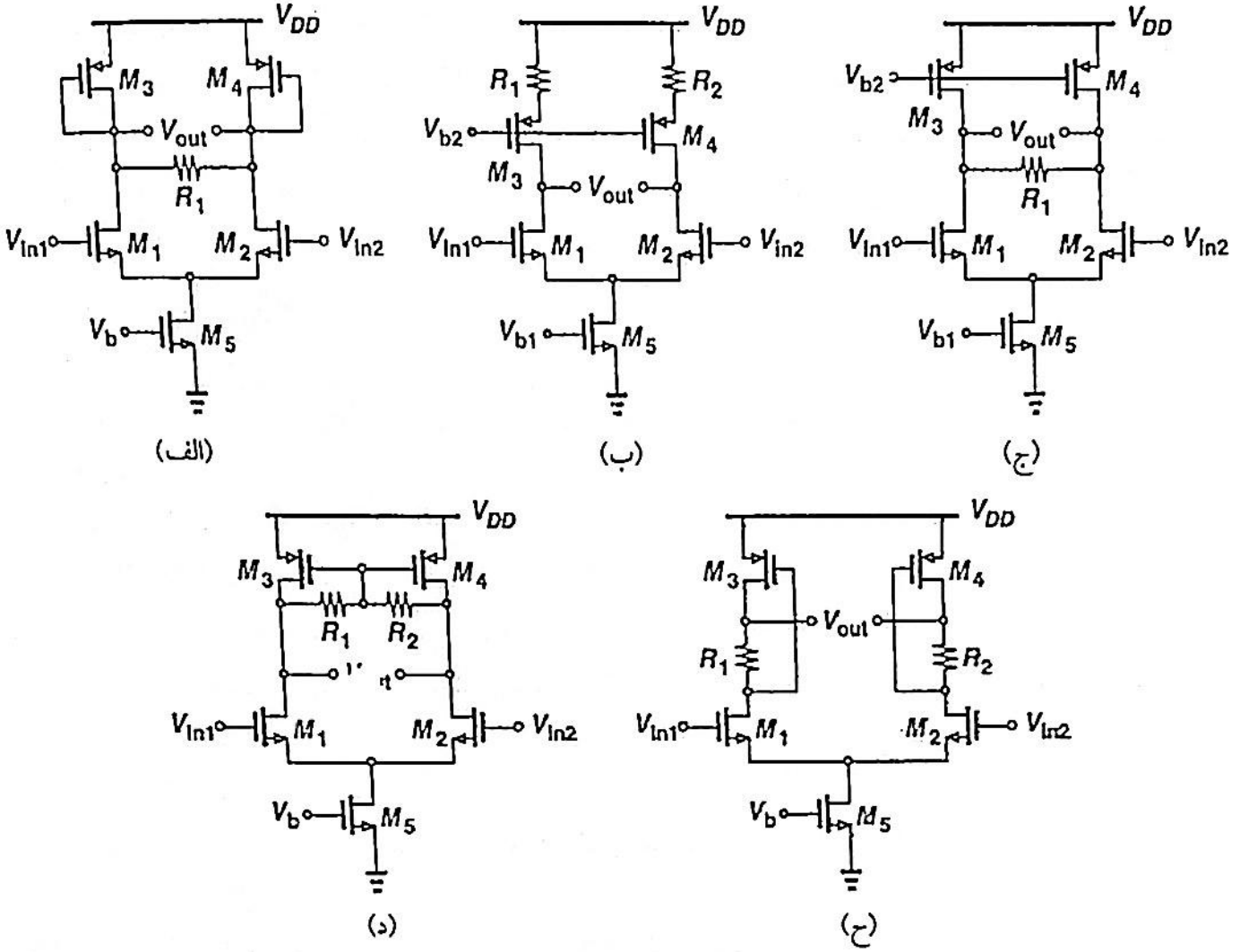
(ب) V_b را طوری حساب کنید که:

$$I_{D5} = I_{D6} = 0.8\,(I_{ss}/2)$$

(ج) اگر I_{ss} به حداقل ولتاژ $0.4V$ نیاز داشته باشد، حداکثر سوینگ دیفرانسیل در خروجی چیست؟

۱۶ـ۴ با فرض اینکه همهٔ مدارهای نشان داده شده در شکل ۴ـ۳۸ متقارن هستند، V_{out} را برحسب (الف) V_{in1} و V_{in2} وقتی که بطور دیفرانسیلی از ۰ تا V_{DD} تغییر می‌کنند و (ب) V_{in1} و V_{in2} وقتی که برابر باشند و از ۰ تا V_{DD} تغییر کنند، رسم کنید.

۱۷ـ۴ با فرض اینکه همهٔ مدارهای نشان داده شده در شکل ۴ـ۳۹ متقارن باشند، V_{out} را برحسب (الف) V_{in1} و V_{in2} وقتی که بطور دیفرانسیلی از ۰ تا V_{DD} تغییر می‌کنند، رسم کنید (ب) V_{in1} و V_{in2} وقتی که برابر باشند و از ۰ تا V_{DD} تغییر کنند، رسم کنید.



شکل ۴ـ۳۸

۱۸ـ۴ فرض کنید که همهٔ ترانزیستورهای شکل ۴ـ۳۸ و ۴ـ۳۹ در اشباع باشند و $\lambda \neq 0$ بهرهٔ ولتاژ دیفرانسیل سیگنال کوچک هر مدار را حساب کنید.

۱۹ـ۴ مدار شکل ۴ـ۴۰ را در نظر بگیرید.

(الف) V_{out} را برحسب V_{in1} و V_{in2} وقتی که بطور دیفرانسیلی از ۰ تا V_{DD} تغییر می‌کنند، رسم کنید.

(ب) اگر $\lambda = \infty$ یک رابطه برای بهرهٔ ولتاژ بدست آورید. اگر $W_{۳/۱} = ۰/۸W_{۵/۶}$ باشد، بهرهٔ ولتاژ چقدر است؟

۲۰ـ۴ برای مدار شکل ۴ـ۴۱

(الف) V_{out} و V_x و V_y را برحسب V_{in1} و V_{in2} وقتی که بطور دیفرانسیلی از ۰ تا V_{DD} تغییر کنند، بدست آورید.

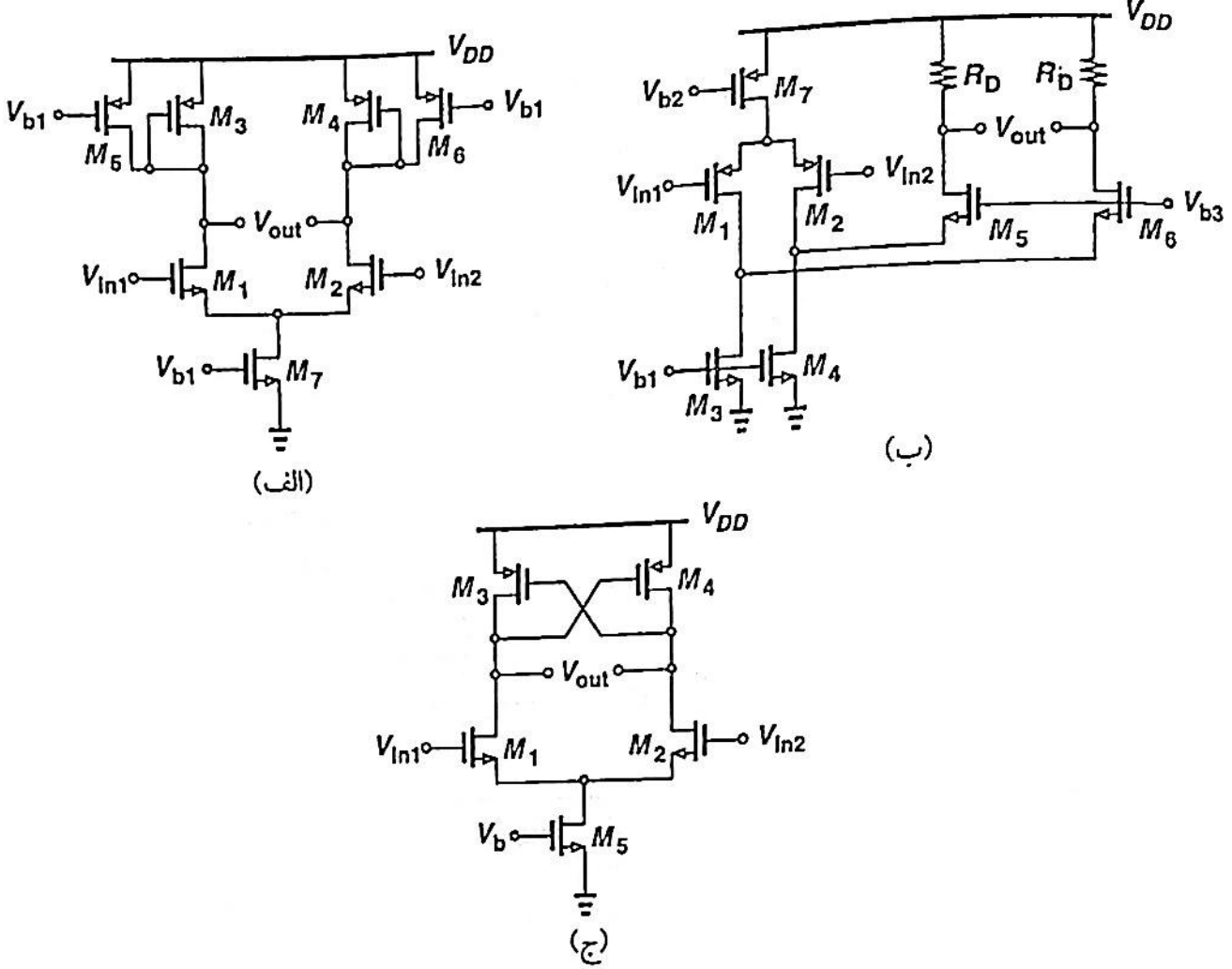
(ب) بهرهٔ ولتاژ سیگنال کوچک دیفرانسیل را بدست آورید.

۲۱ـ۴ با فرض اینکه مدار شکل ۴ـ۲۴ متقارن نیست و بدون استفاده از مدار معادل، بهرهٔ ولتاژ سیگنال کوچک $(V_{in2} - V_{in1})/(V_{out})$ را اگر $\lambda = 0$ و $\gamma \neq 0$ باشد، بدست آورید.

۲۲ـ۴ به دلیل خطاهای ساخت، یک مقاومت پارازیتی بین ترمینالهای درین و سورس M_1 در شکل ۴ـ۴۳ بوجود آمده است. با فرض اینکه $\lambda = \gamma = 0$ بهرهٔ سیگنال کوچک، بهرهٔ مُد مشترک و CMRR را حساب کنید.

۲۳ـ۴ به دلیل خطاهای ساخت، یک مقاومت پارازیتی بزرگ درین‌های M_1 و M_2 در مدار شکل ۴ـ۴۴ پدیده آمده است. با فرض اینکه $\lambda = \gamma = 0$ بهرهٔ سیگنال کوچک، مد مشترک و CMRR را حساب کنید.

۲۴ـ۴ در مدار شکل ۴ـ۴۵، (W/L) همهٔ ترانزیستورها ۵۰/۰/۵ است و M_3 و M_4 باید در ناحیهٔ تریود عمیق و با مقاومت روشن $2K\Omega$ کار کنند. با فرض $\lambda = \gamma = 0$ سطح مُد مشترک ورودی را که چنین مقاومتی را ایجاد می‌کند،



شکل ۴ـ۳۹

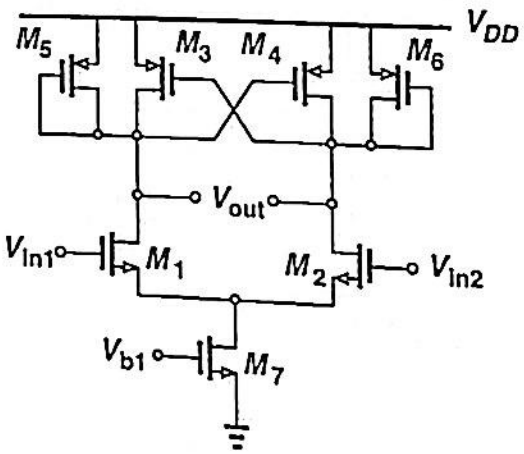
حساب کنید. V_{out1} و V_{out2} را وقتی که V_{in1} و V_{in2} بطور دیفرانسیلی از ۰ تا V_{DD} تغییر می‌کنند، حساب کنید.

۲۵ـ۴ در مدار شکل ۴ـ۳۲(ب)، $(W/L)_{1-4} = 50/0/5$ و $I_{ss} = 1mA$ است.

(الف) بهرهٔ ولتاژ دیفرانسیل سیگنال کوچک چقدر است؟

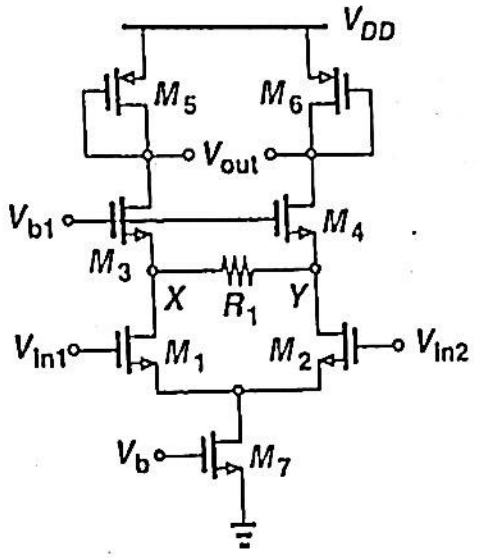
(ب) برای $V_{in,CM} = 1/5V$، حداکثر سوینگ ولتاژ مجاز خروجی چقدر است؟

۲۶ـ۴ در مدار شکل ۴ـ۳۳، فرض کنید M_5 و M_6 اختلاف کوچکی در ولتاژ آستانه به اندازهٔ ΔV دارند و I_{ss} امپدانس خروجی معادل با R_{ss} دارد. CMRR را حساب کنید.

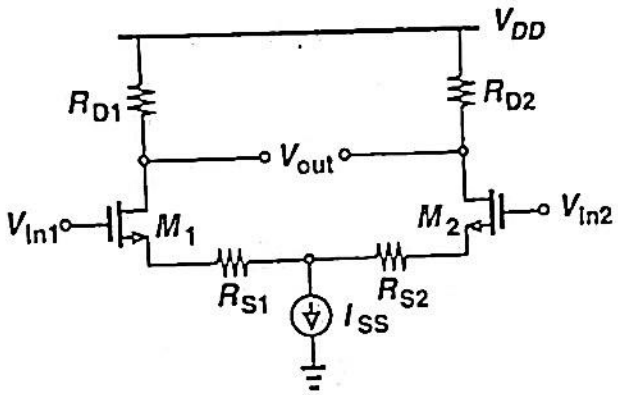


شکل ۴ـ۴۰

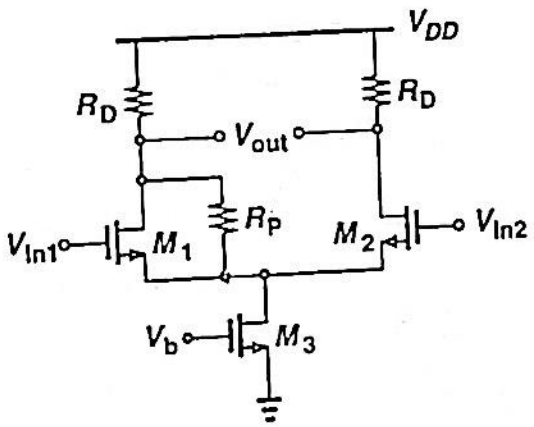
WWW.SabzElco.IR



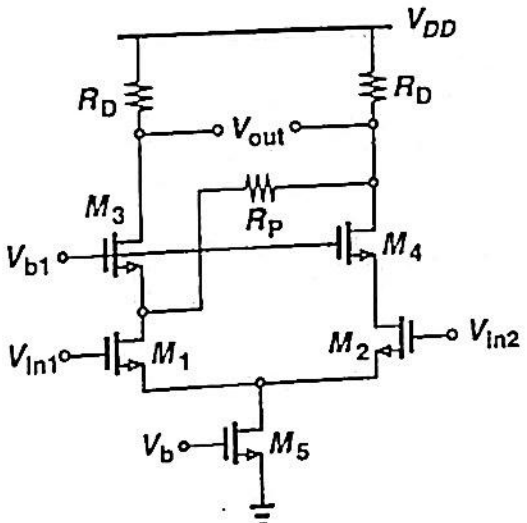
شکل ۴ـ۴۱



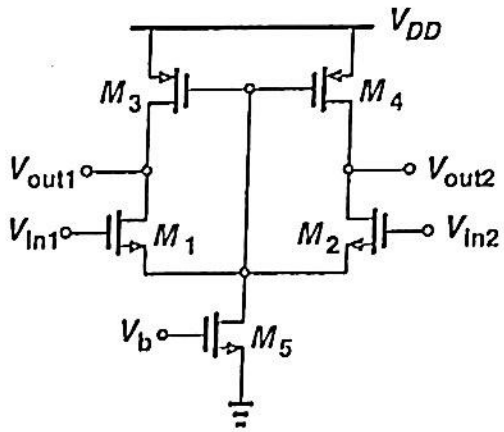
شکل ۴ـ۴۲



شکل ۴ـ۴۳



شکل ۴ـ۴۴



شکل ۴ـ۴۵

مراجع

1. P.R.Gray and R.G.Meyer, Analysis and Design of Analog Integrated Circuits, Third Ed., NeW York: Wiley, 1993
2. B.Gilbert, "A Precise Four - Quadrant Multiplier With Subnanosecond Response,"IEEE J.Solid - State Circuits, VoL.SC - 3, PP.365-373, Dec.1968

WWW.SabzElco.IR