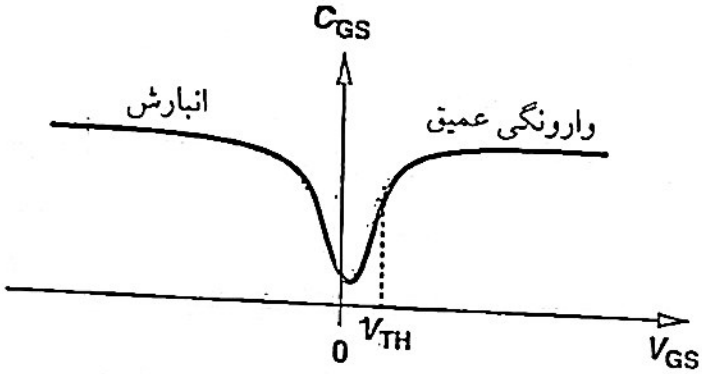


CSET
WWW.SabzElco.IR

شکل ۲ـ۴۱ منحنی ظرفیت - ولتاژ افزاره NMOS.

افزاره در حالت زیر آستانه کار می‌کند.

حال NFET شکل ۲ـ۴۰ را در نظر بگیرید. این ترانزیستور را می‌توان به عنوان یک افزارهٔ ۲ پایانه‌ای تلقی کرد که ظرفیت خازنی آن برای مقادیر مختلف ولتاژ گیت تغییر می‌کند. حال بیایید از ولتاژهای گیت ـ سورس خیلی منفی شروع کنیم. پتانسیل منفی روی گیت، حفره‌های زیربنا را به سمت مرز اکسید ـ سیلیکن جذب می‌کند. در این حالت می‌گوئیم که MOSFET در ناحیهٔ «انباشت» کار می‌کند و افزارهٔ ۲ پایانه‌ای در این حالت مثل یک خازن است که ظرفیت آن بر واحد سطح C_{ox} است زیرا از ۲ صفحه به فاصلهٔ tox تشکیل شده است.

وقتی V_{GS} افزایش یابد، چگالی حفره‌ها در مرز کم می‌شود و یک ناحیهٔ تخلیه زیر اکسید ـ سیلیکن تشکیل شده و افزاره وارد وارونگی ضعیف می‌شود. در این حالت، خازن شامل اتصال سری C_{ox} و C_{dep} خواهد بود. سرانجام وقتی V_{GS} از V_{TH} بیشتر شود، در مرز اکسید ـ سیلیکن یک کانال تشکیل می‌شود و خازن بر واحد سطح باز به C_{ox} برمی‌گردد. در شکل ۲ـ۴۱ این رفتار به تصویر کشیده شده است.

مسائل

برای مسائل زیر از داده‌های جدول ۱ـ۲ استفاده کنید و V_{DD} را هرجا که لازم است برابر با $3V$ فرض کنید مگر آنکه غیر از این گفته شود.

۱ـ۲ برای $\frac{W}{L} = \frac{۵۰}{۰/۵}$، جریان یک NFET و یک PFET را به عنوان تابعی از $|V_{GS}|$ وقتی که $|V_{GS}|$ از ۰ تا $3V$ تغییر می‌کند، رسم کنید. فرض کنید که $|V_{DS}| = 3\ V$.

۲ـ۲ برای $\frac{W}{L} = \frac{۵۰}{۰/۵}$ و $|I_D| = ۰/۵\ mA$، ترارسانایی و مقاومت خروجی ادوات NMOS و PMOS را پیدا کنید. همچنین بهرهٔ ذاتی را که بصورت $(g_m r_o)$ تعریف می‌شود، بیابید.

۳ـ۲ عبارتی را برای $g_m r_o$ برحسب I_D و $\frac{W}{L}$ بیابید. $g_m r_o$ را به عنوان تابعی از I_D رسم کنید بطوریکه (L) پارامتر آن باشد. توجه کنید که $\lambda \propto \frac{۱}{L}$

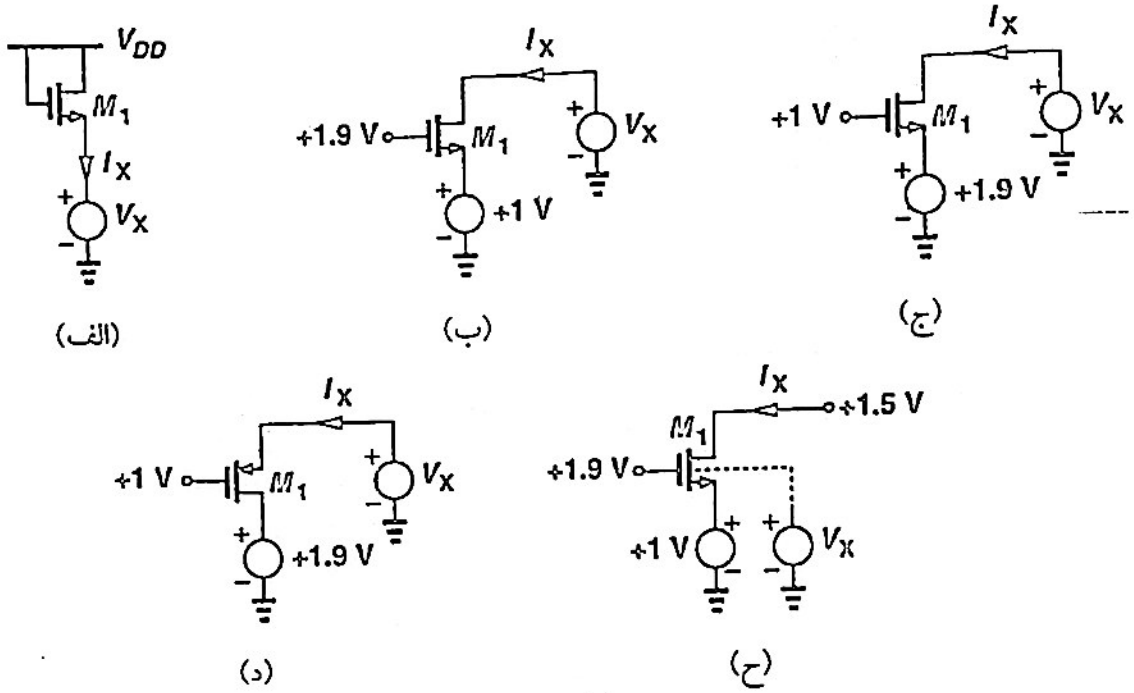
۴ـ۲ I_D را برحسب V_{GS} برای یک ترانزیستور MOS پیدا کنید بطوریکه:

الف) V_{DS} پارامتر باشد. ب) V_{BS} پارامتر باشد.

نقاط شکست منحنی مشخصه را تعیین کنید.

۵ـ۲ I_X و هدایت انتقالی ترانزیستور را برحسب تابعی از V_X برای هریک از مدارهای شکل ۲ـ۴۲ رسم کنید که در آن V_X از ۰ تا V_{DD} تغییر می‌کند. برای قسمت (الف) فرض کنید که V_X از صفر تا ۱/۵ ولت تغییر کند.

۶ـ۲ برای هریک از مدارهای شکل ۲ـ۴۳، I_x و ترارسانایی ترانزیستور را برحسب V_X که از ۰ تا V_{DD} تغییر می‌کند رسم کنید.



شکل ۲ـ۴۲

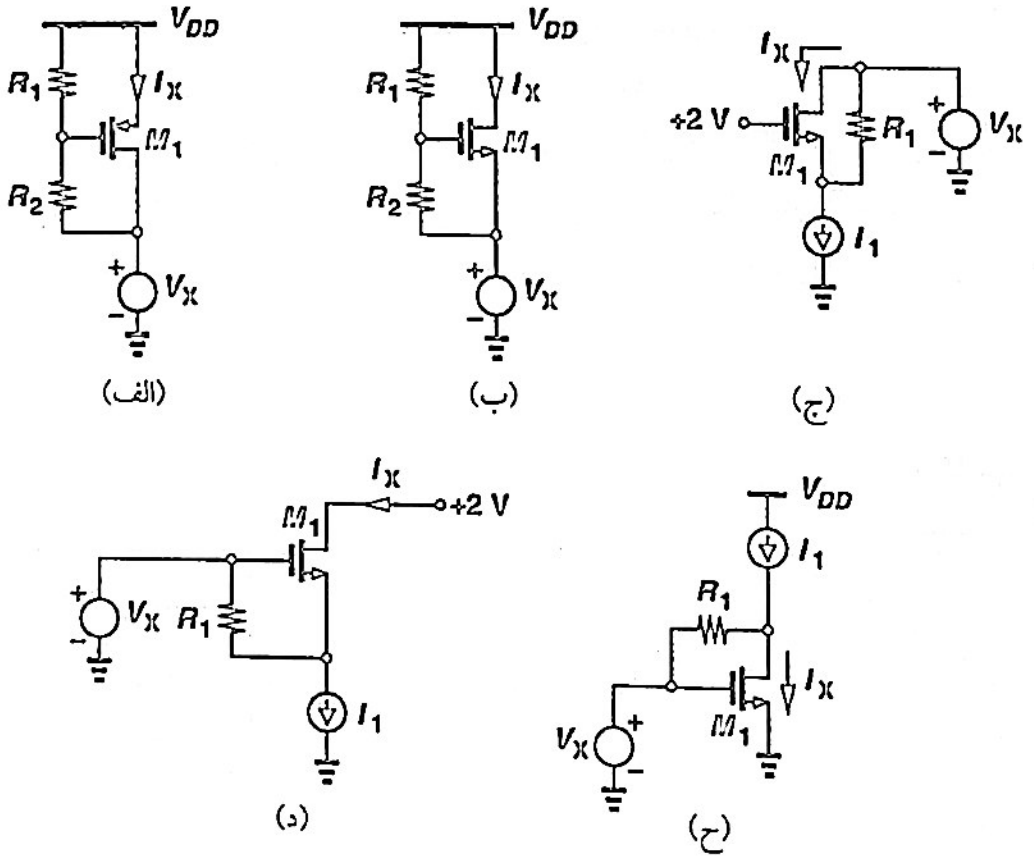
۷ـ۲ V_{out} را به عنوان تابعی از V_{in} برای هریک از مدارهای شکل ۲ـ۴۴ رسم کنید که در آن V_{in} از ۰ تا V_{DD} تغییر می‌کند.

۸ـ۲ برای هریک از مدارهای شکل ۲ـ۴۵، V_{out} را به عنوان تابعی از V_{in} وقتی که V_{in} از ۰ تا V_{DD} عوض می‌شود رسم کنید.

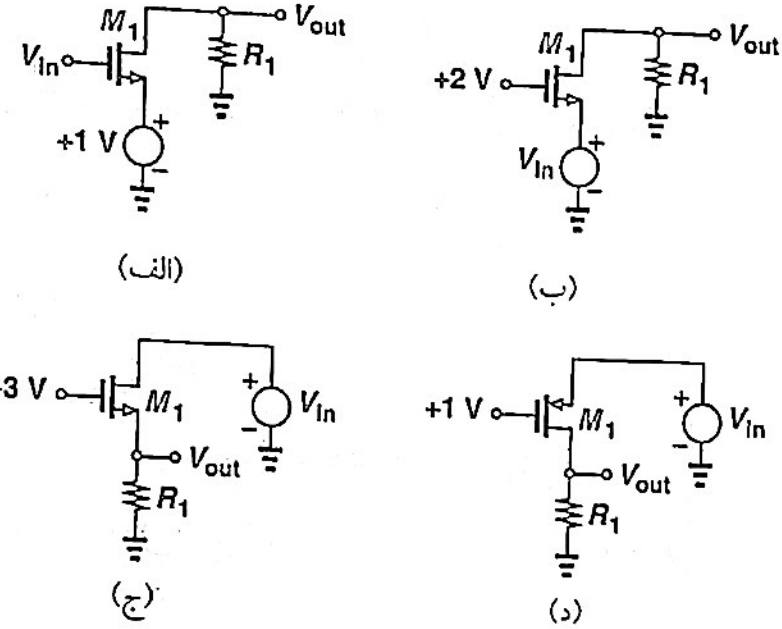
۹ـ۲ V_X و I_X را برای هریک از مدارهای شکل ۲ـ۴۶ برحسب زمان رسم کنید. ولتاژ اولیهٔ C_1 برابر با ۳V است.

۱۰ـ۲ V_X و I_X را به عنوان تابعی از زمان برای هریک از مدارهای شکل ۲ـ۴۷ رسم کنید. ولتاژ اولیهٔ C_1 و C_2 به ترتیب برابر با ۱V و ۳V است.

۱۱ـ۲ V_X رابرای هریک از مدارهای شکل ۲ـ۴۸ برحسب زمان رسم کنید. ولتاژ اولیهٔ خازنها نشان داده شده است.



شکل ۲ـ۴۳



شکل ۲ـ۴۴

۱۲ـ۲ برای هریک از مدارهای شکل ۲ـ۴۹، V_X را برحسب زمان رسم کنید. ولتاژ اولیهٔ خازنها داده شده است.

۱۳ـ۲ فرکانس گذار یک MOSFET به صورت فرکانسی تعریف می‌شود که در آن بهرهٔ جریان سیگنال کوچک ترانزیستور به مقدار واحد افت می‌کند، در حالیکه ترمینالهای سورس و درین از نظر ac به زمین وصل باشند.

(الف) ثابت کنید که:

$$f_T = \frac{g_m}{2\pi(C_{GD} + C_{GS})} \qquad (۴۵_۲)$$

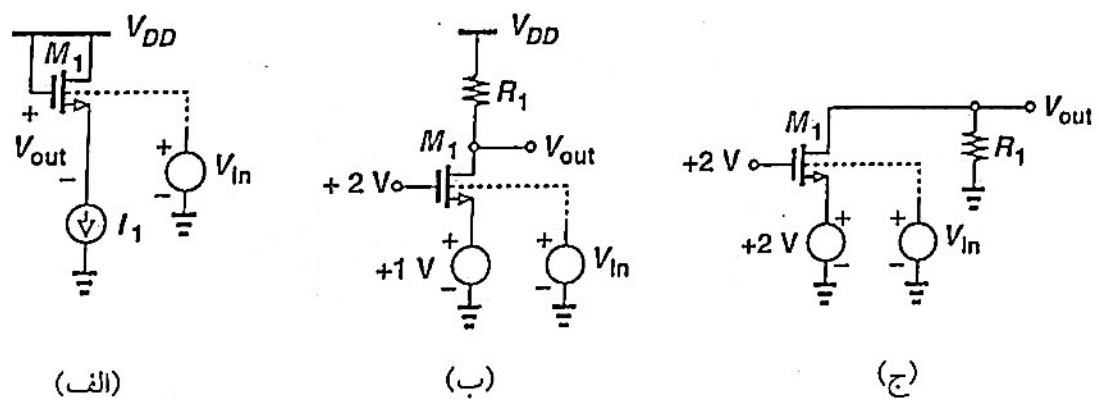
توجه کنید که f_T اثر خازنهای پیوند S/D را شامل نمی‌شود.

(ب) فرض کنید که مقاومت گیت، R_G، بزرگ است و ترانزیستور به عنوان یک مجموعهٔ گسترده، از n ترانزیستور که هرکدام مقاومت گیتی معادل با $\frac{R_G}{n}$ دارد، مدل می‌شود.

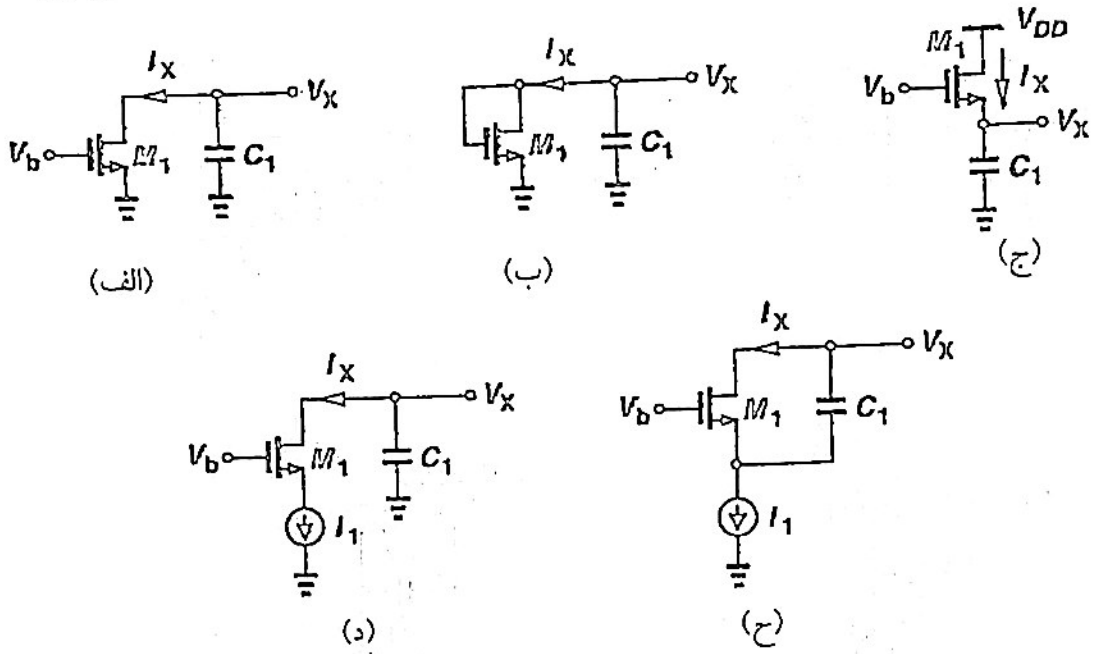
ثابت کنید که f_T ترانزیستور از R_G مستقل است و بازهم با مقداری که در بالا داده شد برابر است.

(ج) برای یک جریان بایاس داده شده، حداقل ولتاژ درین ـ سورس برای کار در ناحیهٔ اشباع را می‌توان با افزایش پهنا و در نتیجه خازنهای ترانزیستور، کاهش داد. با استفاده از مشخصهٔ قانون ـ مربعی ثابت کنید که:

$$f_T = \frac{\mu_n}{2\pi} \frac{V_{GS} - V_{TH}}{L^2} \qquad (۴۶_۲)$$

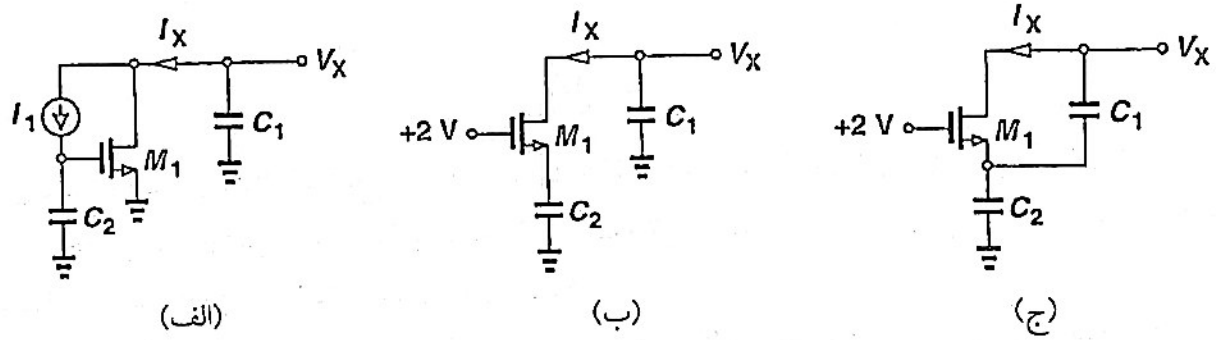


شکل ۲ـ۴۵



(الف) (ب) (ج) (د) (ح)

شکل ۲ـ۴۶

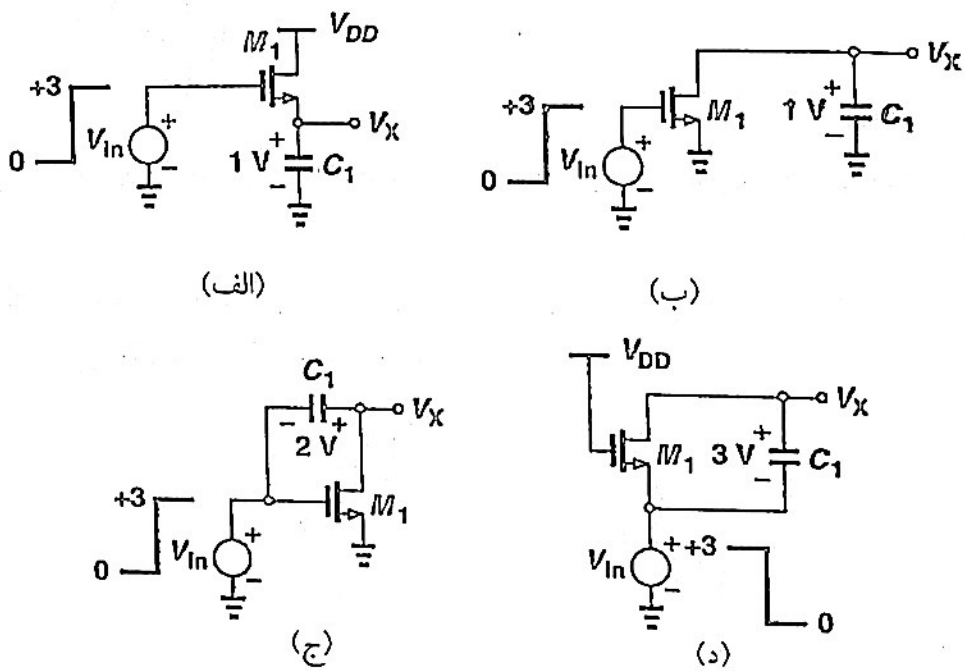


(الف) (ب) (ج)

شکل ۲ـ۴۷

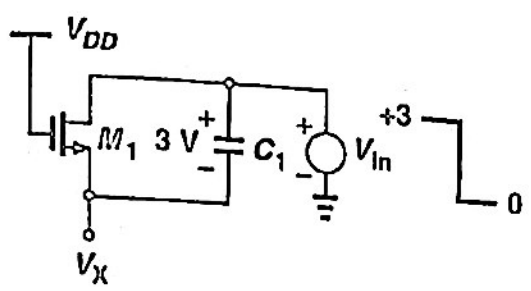
این رابطه نشان می‌دهد که چگونه سرعت یک ترانزیستور وقتی که برای کار در ولتاژهای کم طراحی شود، کاهش می‌یابد.

۱۴ـ۲ f_T ترانزیستور MOS را برای ناحیهٔ زیر آستانه حساب کنید و نتیجه را با آنچه که در مسألهٔ ۲ـ۱۳ بدست آمده است مقایسه کنید.

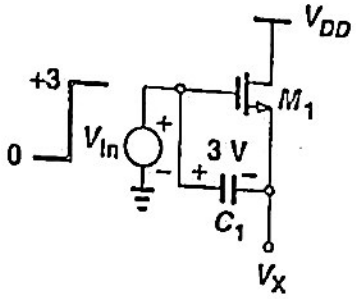


(الف) (ب) (ج) (د)

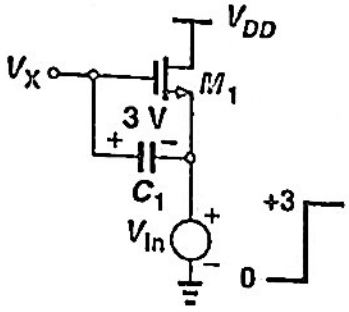
شکل ۲ـ۴۸



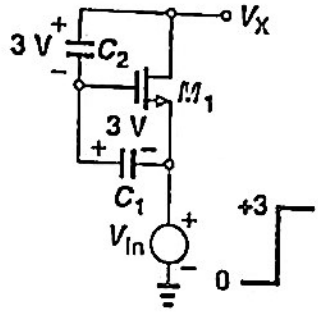
(الف)



(ب)



(ج)



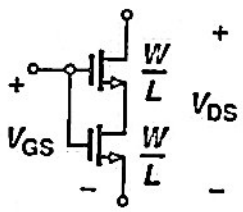
(د)

شکل ۲ـ۴۹

۱۵ـ۲ برای یک ترانزیستور NMOS اشباع شده که $W = ۵۰\mu m$ و $L = ۰/۵\mu m$ تمامی خازنها را حساب کنید. فرض کنید که حداقل ابعاد جانبی نواحی S/D برابر $۱/۵\mu m$ است و ترانزیستور بصورت بهم تابیده مثل شکل ۲ـ۳۲ (ب) است. اگر جریان درین $۱mA$ باشد مقدار f_T چیست؟

۱۶ـ۲ ساختار شکل (۲ـ۵۰) را در نظر بگیرید. I_D را برحسب V_{GS} و V_{DS} پیدا کنید و ثابت کنید که این ساختار را می‌تواند به عنوان یک ترانزیستور در نظر گرفت که نسبت عرض به طول آن $(\frac{W}{۲L})$ است. فرض کنید $\lambda = \gamma = ۰$

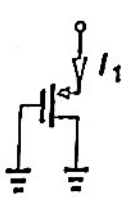
۱۷ـ۲ $\frac{W}{L}$ را برحسب $V_{GS} - V_{TH}$ برای یک NMOS در حالت اشباع رسم کنید، اگر (الف) I_D ثابت باشد. g_m (ب) ثابت باشد.



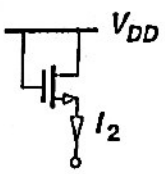
شکل ۲ـ۵۰

۱۸ـ۲ توضیح دهیدکه چرا ساختارهای شکل (۲ـ۵۱) نمی‌توانند حتی در حالت اشباع نیز بصورت منبع جریان عمل کنند.

۱۹ـ۲ با در نظر گرفتن اثر بدنه بصورت "اثر گیت پشتی"، بطور شهودی توضیح دهید که چرا γ مستقیماً با $\sqrt{N_{sub}}$ متناسب است و بطور معکوس با C_{ox} متناسب دارد؟

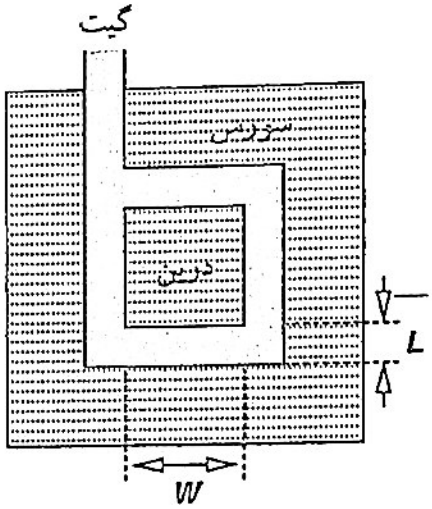


(الف)



(ب)

شکل ۲ـ۵۱



شکل ۲ـ۵۲

۲۰ـ۲ یک ساختار حلقه‌ای MOS در شکل ۲ـ۵۲ نشان داده شده است. توضیح دهید که ترانزیستور چگونه عمل می‌کند و $(\frac{W}{L})$ معادل آنرا بدست آورید. خازن پیوند درین این ساختار را با ترانزیستور شکل ۲ـ۳۲ مقایسه کنید.

۲۱ـ۲ فرض کنید که یک ترانزیستور NMOS را در یک بسته با پایه‌های نامشخص و بدون اسم به ما بدهند. حداقل‌اندازه‌گیریهایی که لازم است انجام داده شود تا ترمینالهای گیت، درین / سورس و اتصال بدنه مشخص شوند را توضیح دهید.

۲۲ـ۲ مسأله ۲ـ۲۱ رابرای حالتی حل کنید که نوع ترانزیستور (یعنی NFET یا PFET) هم معلوم نباشد.

۲۳ـ۲ برای یک ترانزیستور NMOS، ولتاژ آستانه معلوم است ولی $\frac{W}{L}$ و $\mu_n C_{ox}$ نامعلوم. فرض کنید که $\lambda = \gamma = 0$ باشد اگر نتوانیم C_{ox} را مستقلاً اندازه بگیریم، آیا می‌توان یک سری اندازه‌گیری برای تعیین $\mu n\ Cox$ و $\frac{W}{L}$ انجام داد؟ اگر دو ترانزیستور داشته باشیم و بدانیم که ابعاد یکی ۲ برابر دیگری باشد چطور؟

۲۴ـ۲ I_x را برحسب V_x در هرکدام از ساختارهای مرکب شکل ۲ـ۵۳ رسم کنید و V_{GS} را به عنوان پارامتر بگیرید. همچنین ترارسانایی معادل را رسم کنید. فرض کنید $\lambda = \gamma = 0$

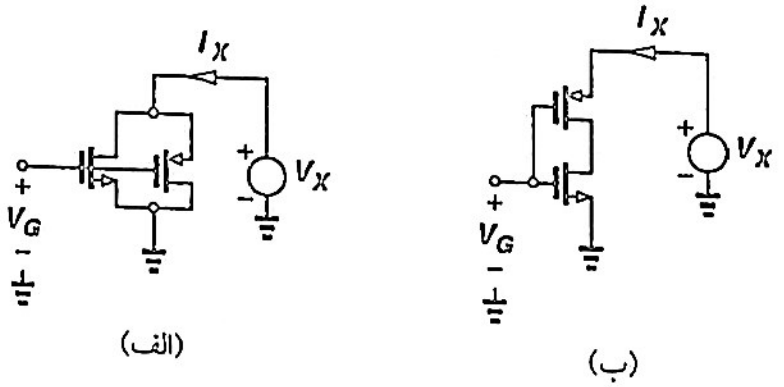
۲۵ـ۲ یک منبع جریان NMOS با $I_D = 0/5\ mA$ باید باولتاژ درین ـ سورس کوچکی $0/4V$ کار کند. اگر حداقل امپدانس خروجی لازم $20K\Omega$ باشد، پهنا و درازای گیت را معین کنید. خازنهای گیت ـ سورس، گیت ـ درین و درین ـ زیربنا را با این فرض که ساختار بصورت تابیدهٔ شکل ۲ـ۳۲ و $E = 3\mu m$ است، حساب کنید.

۲۶ـ۲ مدار شکل ۲ـ۵۴ را در نظر بگیرید که در آن ولتاژ اولیهٔ گره X برابر با V_{DD} است. فرض کنید که $\lambda = \gamma = 0$ و از خازنهای دیگر صرف‌نظر می‌کنیم. V_X و V_Y را برحسب زمان رسم کنید اگر:

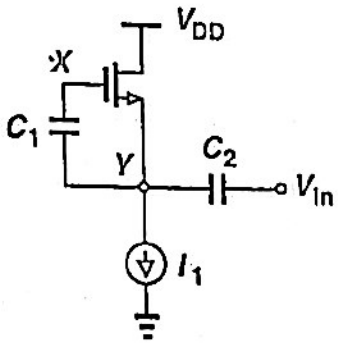
(الف) V_{in} یک پلهٔ مثبت با دامنهٔ $V_. > V_{TH}$ باشد.

(ب) V_{in} یک پلهٔ منفی با دامنهٔ $V_. = V_{TH}$ باشد.

۲۷ـ۲ مقدار ζ برای یک NMOS که در ناحیهٔ زیر آستانه کار می‌کند برابر با ۱/۵ است. اگر I_D ۱۰ برابر شود، V_{GS} چه تغییری خواهد کرد. اگر $I_D = 10\mu A$ باشد g_m چقدر است؟



شکل ۲ـ۵۳



شکل ۲ـ۵۴

۲۸ـ۲ یک NMOS با $V_G = ۱/۵V$ و $V_S = ۰$ را در نظر بگیرید. توضیح دهید. که اگر V_D را بطور پیوسته تا زیر مقدار صفر کاهش دهیم و یا V_{Sub} را تا بالای مقدار صفر افزایش دهیم چه روی می‌دهد؟

مراجع

1. R.S.Muller and T.I.Kamins, Device Electronics for Integrated Circuits, Second Ed, New York: Wiley, 1986.
2. Y.Tsividis, Operation and Modeling of MOS Transistor, Second Ed., Boston: Mc Graw - Hill, 1999
3. Y.Taur and T.H.Ning, Fundamentals of Modern VLSI Devices, NewYork: Cambridge University Press, 1998.

WWW.SabzElco.IR